

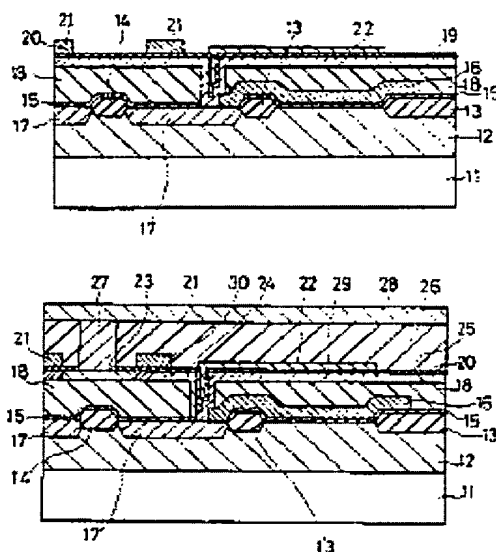
SEMICONDUCTOR STORAGE DEVICE

Patent number: JP2040951
Publication date: 1990-02-09
Inventor: ABE KAZUHIKO
Applicant: NEC CORP
Classification:
- international: H01L27/11
- european:
Application number: JP19880191672 19880731
Priority number(s):

Abstract of JP2040951

PURPOSE: To reduce the size of a storage cell for increasing the storage capacity by constituting a pair of MIBFET's for switching by using a polysilicon thin film and a gate electrode on an interlayer insulating film.

CONSTITUTION: On a P-well formed on an N-type semiconductor substrate 11, an N⁺ diffusion layer 17 and an interlayer film 18 are formed; on the side surface and the bottom surface of a contact hole and on the interlayer film 18, a polysilicon thin film 19 is grown and a contact hole 34 is formed; a gate oxide film 20 for a transfer gate is formed; a polysilicon or polycide film 21 and a nitride film 22 are formed; by implanting impurity in the thin film 19, the source/drain 23, 24 of transfer gate transistor Q1, Q2, and a low resistive wiring part 25 to supply a VCC power supply; an interlayer film 26 is deposited and formed, and a contact hole 27 is bored; a digit line composed of metal wiring 28 is formed on the upper layer of the contact hole. Thereby, an information storing node capacity can be sufficiently increased.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-40951

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月9日

H 01 L 27/11

8624-5F

H 01 L 27/10

3 8 1

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体メモリ装置

⑮ 特 願 昭63-191672

⑯ 出 願 昭63(1988)7月31日

⑰ 発 明 者 阿 部 和 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

(1) 1対の多結晶シリコンからなる抵抗素子と、1対のMISFETで構成されるフリップフロップと、そのノードからデータを入出力するためのスイッチ用の1対のMISFETとで構成されるメモリセルを有する半導体メモリ装置において、前記スイッチ用の1対のMISFETが層間絶縁膜上のポリシリコン薄膜とゲート電極により構成され、前記スイッチ用のMISFETの一方の接点はディジット線に接続され、他方の接点は半導体基板内の不純物が注入された拡散層に接続されていることを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体メモリ装置に関し、特に、MOSスタティックRAMのメモリセル構造を改良した半導体メモリ装置に関する。

[従来の技術]

第4図は従来のポリシリコン抵抗を負荷とするMOSスタティックRAM(以下、SRAMという)のメモリセルを示す回路図であり、第5図はその一部の半導体装置構造を示す断面図である。

Q₁、Q₂はトランスファゲートトランジスタ、Q₃、Q₄はドライバゲートトランジスタ、R₁、R₂はポリシリコン負荷抵抗である。従来、このトランジスタQ₁、Q₂、Q₃、Q₄は第5図に示すようにN型半導体基板1の表面に形成されたPウエル2内のNチャネルのバルクトランジスタとして構成されている。また、ディジット線D、Dは、金属配線3により構成されており、コンタクト孔4内で、Pウエル2内のN⁺拡散層5に接続されている。負荷抵抗R₁、R₂は不純物の注入量がゼロか、又は不純物が適量注入されたポリシリコン層6をパターン形成した後、このポリシリコン層6の高抵抗部を窒化膜によりマスクして低抵抗の配線部にドナー型の不純物、例えば、リン等を注入することにより形成されている。

また、ソフトエラー対策として重要となる情報蓄積ノード N_1 、 N_2 は N^+ 拡散層7とそれに接続されている配線で構成されており、そのノード容量は殆どが N^+ 拡散層7の $P-N$ 接合容量で成り立っている。

〔発明が解決しようとする課題〕

上述した従来のSRAMメモリセルは大容量化に伴いメモリセルの縮小化を図る場合に、以下に示すような欠点がある。メモリセルを小さくすればするほど平面的には全てのデバイスの面積が小さなものとなる。このため、情報蓄積ノードの面積も小さくなり、当然、このノードにかかる容量は小さくなる。この容量を決めている要素としては、主として N^+ 拡散層7の $P-N$ 接合容量があり、この容量が小さくなることにより、 α 線によるソフトエラーに対して情報が反転しやすくなってしまいうという欠点がある。

本発明はかかる問題点に鑑みてなされたものであって、基板内部に形成される N^+ 拡散層の $P-N$ 接合容量が高く、情報蓄積ノード容量を十分に

高くとることができて、 α 線によるソフトエラー耐量が高い半導体メモリ装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係る半導体メモリ装置は、1対の多結晶シリコンからなる抵抗素子と、1対のMISFETで構成されるフリップフロップと、そのノードからデータを入出力するためのスイッチ用の1対のMISFETとで構成されるメモリセルを有する半導体メモリ装置において、前記スイッチ用の1対のMISFETが層間絶縁膜上のポリシリコン薄膜とゲート電極により形成され、前記スイッチ用のMISFETの一方の接点はディジット線に接続され、他方の接点は半導体基板内の不純物が注入された拡散層に接続されていることを特徴とする。

〔作用〕

本発明においては、メモリセルのトランスファゲートトランジスタを層間膜の上層にポリシリコン薄膜トランジスタとして構成し、ディジット線

もコンタクト孔によりポリシリコン薄膜上に接続する。これにより、層間絶縁膜の下層のPウエル内に情報蓄積ノードの N^+ 拡散層を十分拡げて形成することができる。従って、十分に大きな $P-N$ 接合容量を有する N^+ 拡散層が形成され、 α 線に対するソフトエラー耐量が向上する。

〔実施例〕

次に、本発明の実施例について添付の図面を参照して説明する。

第1図(a)乃至(d)は本発明の実施例に係る半導体メモリ装置の製造過程を示す断面図、第2図(a)乃至(c)は同じくその製造過程を示す平面図であり、第1図(b)、(c)、(d)は夫々第2図(a)、(b)、(c)のB-B線、C-C線、D-D線による断面図である。

先ず、第1図(a)に示すように、 N 型半導体基板11にPウエル12をイオン注入により形成した後、素子分離酸化膜13、14を選択的に酸化成長させる。このとき素子分離酸化膜14は隣接するメモリセルと素子分離が最小限可能な幅で

形成する。その後、ゲート酸化膜15を熱酸化により成長させた後、ドライバトランジスタ Q_3 、 Q_4 のゲートとなるポリシリコン又はポリサイド膜16を形成する。

そして、第1図(b)に示すように、このポリシリコン又はポリサイド膜16と素子分離酸化膜13、14をマスクとして、ヒ素をイオン注入することにより、 N^+ 拡散層17を形成する。その後、層間膜18を堆積し、負荷抵抗とトランスファゲートトランジスタ Q_1 、 Q_2 のドレインをバルク内の N^+ 拡散層17と接続するためのコンタクト孔18aを開孔する。

次いで、第1図(c)に示すように、コンタクト孔18aの側面及び底面上と層間膜18上に約500Å乃至1000Åの厚さのポリシリコン薄膜19を成長させる。これにより、コンタクト34が形成される。その後、ポリシリコン薄膜19の表面を熱酸化させて、トランスファゲート用のゲート酸化膜20を形成する。このポリシリコン薄膜19は不純物の注入量がゼロの真性型のもの

又はアクセプタ型のボロン等の不純物を適量注入されたものである。その後、トランスファゲートであり、ワード線となるポリシリコン又はポリサイド膜21を形成する。また、次工程で高抵抗部29がイオン注入されないようにするため、窒化膜22を形成する。

次いで、第1図(d)に示すように、ポリシリコン薄膜19に対して、ポリシリコン又はポリサイド膜21及び窒化膜22をマスクにしてドナー型の不純物であるリン又はヒ素イオン等を注入して、トランスファゲートトランジスタ Q_1 、 Q_2 のソース・ドレイン23、24と、 V_{cc} 電源を供給する低抵抗配線部25を形成する。これにより、ポリシリコン又はポリサイド膜21の近傍に、トランスファゲートトランジスタ Q_1 、 Q_2 のソース・ドレイン23、24及びチャネル部20が形成されると共に、高抵抗負荷部29(R_1 、 R_2)及び V_{cc} 配線部25も形成される。その後、第2層間膜26を堆積形成して、この第2層間膜26にディジット線とトランスファゲートトランジス

タとを接続するコンタクト孔27を開孔する。このコンタクト孔27の上層に金属配線28からなるディジット線を形成する。

このようにトランスファゲートトランジスタ Q_1 、 Q_2 をバルク内に設けるのではなく、薄膜ポリシリコントランジスタにすることにより、情報蓄積ノードの N^+ 拡散層17を十分に広く形成することができる。このため、メモリセルを微細化しても情報蓄積ノード容量を十分大きなままに保つことができ、従って、 α 線によるソフトエラー耐量が十分に高い半導体メモリ装置が得られる。また、本実施例ではトランスファゲートのチャネル部30と高抵抗部29とを同一層で形成しているので、工程数を実質的に増加させることがない。

第3図は本発明の第2の実施例を示す縦断面図である。第3図において、第1図と同一物には同一符号を付してある。この実施例が第1の実施例と異なる点は以下の如くである。トランスファゲートであるワード線を形成した後、その上にゲート酸化膜37を形成し、更に、ポリシリコン薄膜

を成長させる。このポリシリコン薄膜は第1の実施例と同様のものである。この上層にソース・ドレイン23、24及び低抵抗配線部25にのみドナー型のイオンを注入するための窒化膜22、23を形成し、この窒化膜22、23をマスクとしてイオン注入する。この実施例では、リード線のポリシリコン膜21と同一工程で高抵抗部29の下層に、ゲート酸化膜37を介してポリシリコン膜31を形成している。このポリシリコン膜31は情報蓄積ノードに接続されている容量電極となる。これにより、情報蓄積ノードには N^+ 拡散層の容量に加えてポリシリコン膜31と高抵抗負荷部29との間に容量がつく。これにより、メモリセルを微細化しても α 線によるソフトエラーに対して強い半導体メモリ装置が得られる。

〔発明の効果〕

以上説明したように本発明は、トランスファゲートトランジスタをバルク内ではなくポリシリコンの薄膜トランジスタとして層間膜上に形成するから、情報蓄積ノードの $P-N$ 接合面を拡げるこ

とができ、これにより極めて大きなノード容量を得ることができる。このように、情報蓄積ノード容量を高くとれるので、 α 線によるソフトエラーに対する耐量が十分に高い半導体メモリ装置が得られ、SRAMメモリセルの大容量化に伴うメモリセルの縮小化にとって本発明は極めて有益である。

4. 図面の簡単な説明

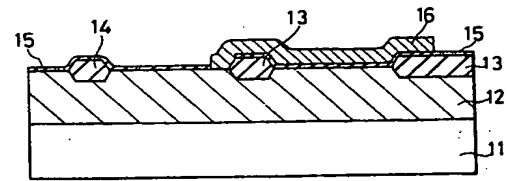
第1図(a)乃至(d)は本発明の第1の実施例に係る半導体メモリ装置の製造過程を示す断面図、第2図(a)乃至(c)は同じくその平面図であって、第1図(b)、(c)、(d)は第2図(a)、(b)、(c)の夫々B-B線、C-C線及びD-D線による断面図、第3図は本発明の第2の実施例に係る半導体メモリ装置の縦断面図、第4図はSRAMメモリセルの回路図、第5図は従来のメモリセルの縦断面図である。

1、11；N型半導体基板、2、12；Pウェル、13、14；素子分離用酸化膜、15、20、37；ゲート酸化膜、16；ドライバゲートトラ

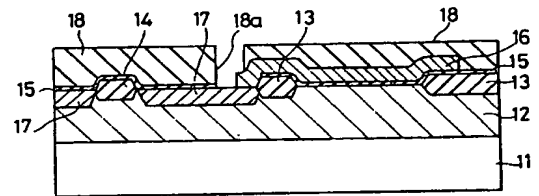
ンジスタ用ポリシリコン又はポリサイド膜、17
 ; 情報蓄積ノードN⁺拡散層、18、26; 層間
 膜、19; ポリシリコン薄膜、21; トランスフ
 ァゲート用ポリシリコン又はポリサイド膜、22、
 32; 窒化膜、23、24; トランスファゲート
 トランジスタのソース・ドレイン、30; チャネ
 ル部、29; 高抵抗部(R₁, R₂)、25; 低
 抵抗V_{cc}配線部、31; 容量用ポリシリコン膜、
 Q₁, Q₂; トランスファゲートトランジスタ、
 Q₃, Q₄; ドライバゲートトランジスタ、V_{cc}
 ; 電源、R₁, R₂; 高抵抗(負荷)、N₁, N₂
 ; 情報蓄積ノード、D、 \bar{D} ; デジット線、W
 ; ワード線

出願人 日本電気株式会社
 代理人 弁理士 藤巻正憲

11; N型半導体基板
 12; Pウェル
 16; ポリシリコン又はポリサイド膜
 17; 情報蓄積ノードN⁺拡散層

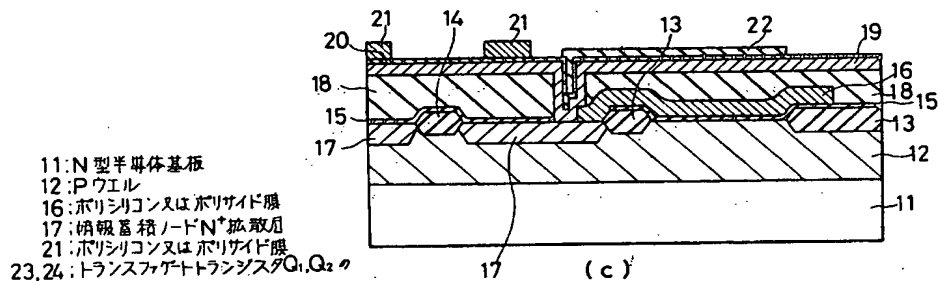


(a)



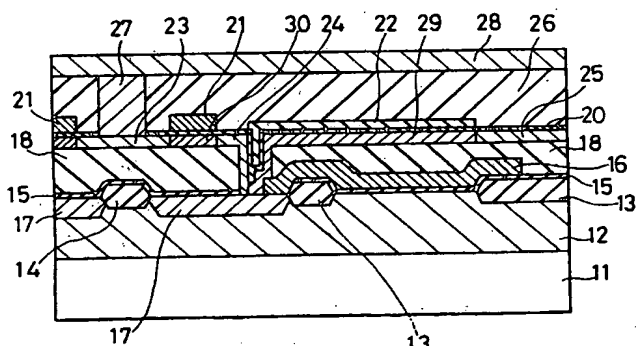
(b)

第1図(1)



11; N型半導体基板
 12; Pウェル
 16; ポリシリコン又はポリサイド膜
 17; 情報蓄積ノードN⁺拡散層
 21; ポリシリコン又はポリサイド膜
 23, 24; トランスファゲートトランジスタQ₁, Q₂の
 ソースドレイン
 19; ポリシリコン薄膜
 22; 窒化膜
 25; 低抵抗V_{cc}配線部
 29; 高抵抗部(R₁, R₂)
 30; チャネル部

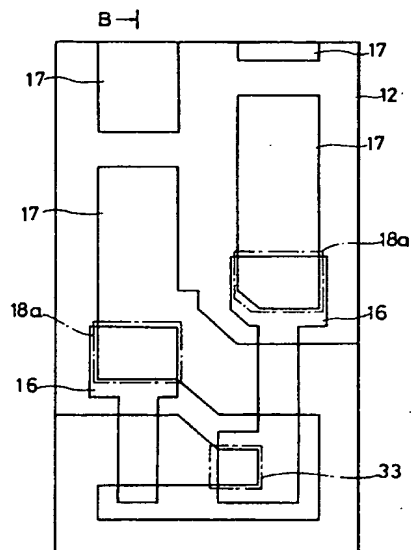
(c)



(d)

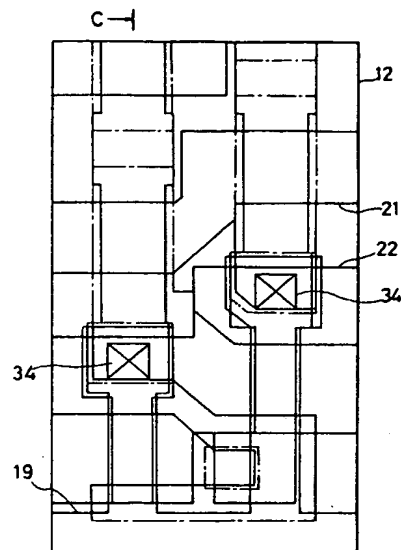
第1図(2)

12: Pウェル
16: ドライバートランジスタ用ポリシリコン又はポリサイド膜
17: 高抵抗層ノードN⁺拡散層
18a: N⁺拡散層とポリシリコンと絶縁コンタクト孔



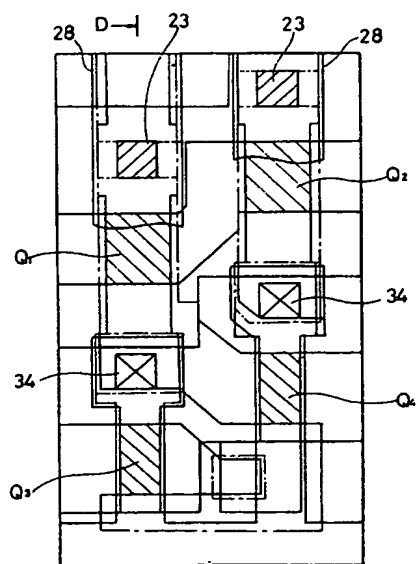
B-B (a)
第2図(1)

12: Pウェル
19: ポリシリコン薄層
21: トランジスタ用ポリシリコン膜
22: 窒化膜
34: コンタクト



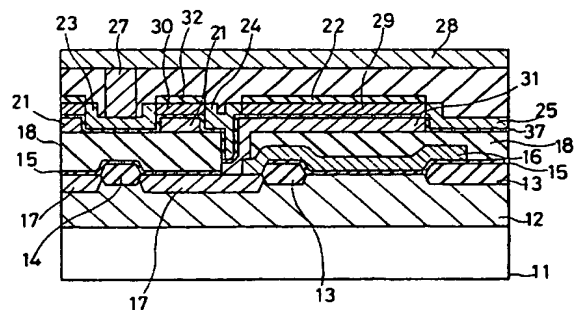
C-C (b)
第2図(2)

Q₁, Q₂: トランジスタ用ポリシリコン膜
Q₃, Q₄: ドライバートランジスタ

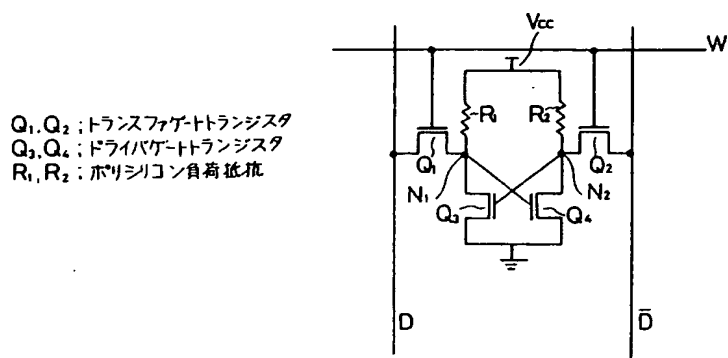


D-D (c)
第2図(3)

22, 32: 窒化膜
29: 高抵抗層
31: 各層用ポリシリコン膜

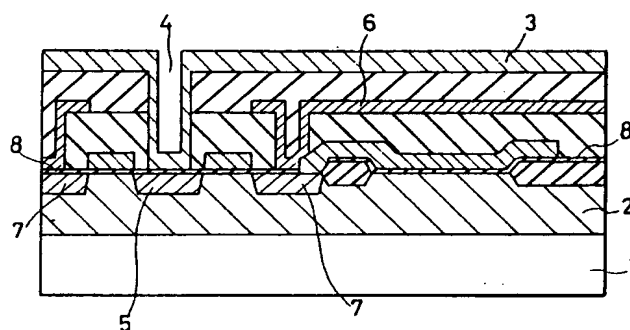


第3図



第 4 図

- 1: N型半導体基板
- 2: Pウェル
- 3: 金属配線
- 4: コンタクト孔
- 5: N⁺拡散層
- 6: ポリシリコン層
- 7: 積層ノードN⁺拡散層
- 8: ゲート酸化膜



第 5 図